

June 21, 2000

#3
DOCKET NO.: OGA-172-USAP

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: Kazunori ABE et al.

Serial No. TO BE ASSIGNED

Art Unit: TO BE ASSIGNED

Filed: June 21, 2000

Examiner: TO BE ASSIGNED

For: ELECTRONIC ENDOSCOPE SYSTEM ALLOWING ACCURATE DELAY TO BE SET

PRIORITY DOCUMENT TRANSMITTAL

Assistant Commissioner of
Patents and Trademarks
Washington, D.C. 20231



Sir:

In accordance with the provisions of 37 CFR 1.55 and the requirements of 35 U.S.C. 119, attached hereto is a certified copy of the priority document, Japanese Patent Application No. 11-178440 filed June 24, 1999.

It is respectfully requested that applicant be granted the benefit of the filing date of the foreign application and that receipt of this priority document be acknowledged in due course.

Respectfully submitted,

Ronald R. Snider
Reg. No. 24,962

Date: June 21, 2000

Snider & Associates
Ronald R. Snider
P.O. Box 27613
Washington, D.C. 20038-7613
(202) 347-2600

RRS/gah

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 6 月 2 4 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 1 7 8 4 4 0 号

出 願 人

Applicant (s):

富士写真光機株式会社

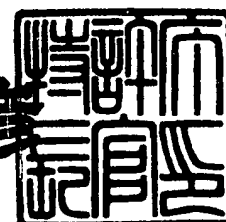
JCES1 U.S. PRO
09/599022
06/21/00

CERTIFIED COPY OF
PRIORITY DOCUMENT

2 0 0 0 年 5 月 1 2 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 3 4 1 9 3

【書類名】 特許願

【整理番号】 FU667P

【提出日】 平成11年 6月24日

【あて先】 特許庁長官 殿

【国際特許分類】 A61B 1/04

【発明者】

【住所又は居所】 埼玉県大宮市植竹町 1 丁目 3 2 4 番地 富士写真光機株式会社内

【氏名】 阿部 一則

【発明者】

【住所又は居所】 埼玉県大宮市植竹町 1 丁目 3 2 4 番地 富士写真光機株式会社内

【氏名】 樋口 充

【特許出願人】

【識別番号】 000005430

【氏名又は名称】 富士写真光機株式会社

【代表者】 本多 康夫

【代理人】

【識別番号】 100098372

【弁理士】

【氏名又は名称】 緒方 保人

【電話番号】 0492-48-3886

【手数料の表示】

【予納台帳番号】 010010

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平 1 1 - 1 7 8 4 4 0

【包括委任状番号】 9815710

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子内視鏡装置

【特許請求の範囲】

【請求項 1】 撮像素子が先端部に配置された電子内視鏡と、この電子内視鏡を接続し、上記撮像素子から出力された画像信号に対し所定の信号処理を施すプロセッサ装置とを有する電子内視鏡装置において、

大まかな基準遅延量の信号を発生する基準遅延量発生回路と、

この基準遅延量発生回路の基準遅延量よりも短い遅延量の信号を発生する小遅延量発生回路と、

これら遅延量発生回路の協働により上記電子内視鏡の長さに応じた遅延信号を形成し、この遅延信号に基づいて画像処理を制御する制御回路と、を設けたことを特徴とする電子内視鏡装置。

【請求項 2】 上記小遅延量発生回路は、複数のゲート遅延素子を設け、このゲート遅延素子を通過する信号の遅れで小遅延量を設定することを特徴とする上記請求項 1 記載の電子内視鏡装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子内視鏡装置、特に異なる長さの電子内視鏡を接続して使用する場合において、撮像素子から伝送される画像信号の処理タイミングのずれを解消するための構成に関する。

【0002】

【従来の技術】

電子内視鏡装置では、画像処理をするプロセッサ装置に観察対象の異なる各種の電子内視鏡（電子スコープ）を接続するようになっており、この電子スコープの長さ（ケーブル長等を含む）が異なることから、プロセッサ装置では、画像信号（ビデオ信号）の伝送時間に応じて処理タイミングを一致させるために、処理信号に対し電子スコープの長さに対応した遅延時間を与えている。このような遅延時間を設定制御する従来の装置として、特許第 2 8 2 1 1 9 6 号に示されるも

のがある。

【0003】

この特許に係る装置は、スコープ判別情報を検出し、この情報に基づいて予め分かっている電子スコープの長さに対応した遅延量をマルチタップディレイのタップ選択によって与えると共に、特注の電子スコープの場合は、可変抵抗を用いた手動調整機構に切り換え、これによりマニュアルで遅延量を変えるようにする。この結果、異なる長さの電子内視鏡の多くに対応できるようになっている。

【0004】

【発明が解決しようとする課題】

しかしながら、上記従来の電子内視鏡装置で使用されるマルチタップディレイ回路では、予め設定されている遅延量にしか対応することができず、しかも設定できる遅延量が大まかであり、細かな遅延量の設定ができないという不具合がある。

また、可変抵抗を用いた調整回路をマルチタップディレイ回路と共に設けて調整を行うのは調整作業が伴い、この調整作業は従来のスコープと新規のスコープの接続毎に行う必要があるため取扱いが煩雑となる。

【0005】

本発明は上記問題点に鑑みてなされたものであり、その目的は、電子スコープの長さに対応した細かな遅延量が設定でき、また構成の簡略化が可能となる電子内視鏡装置を提供することにある。

【0006】

【課題を解決するための手段】

上記目的を達成するために、請求項 1 は、撮像素子が先端部に配置された電子内視鏡と、この電子内視鏡を接続し、上記撮像素子から出力された画像信号に対し所定の信号処理を施すプロセッサ装置とを有する電子内視鏡装置において、大まかな基準遅延量の信号を発生する基準遅延量発生回路と、この基準遅延量発生回路の基準遅延量よりも短い遅延量の信号を発生する小遅延量発生回路と、これら遅延量発生回路の協働により上記電子内視鏡の長さに応じた遅延信号を形成し、この遅延信号に基づいて画像処理を制御する制御回路と、を設けたことを特徴

とする。

請求項 2 に係る発明は、上記小遅延量発生回路では、複数のゲート遅延素子を設け、このゲート遅延素子を通過する信号の遅れで小遅延量を設定することを特徴とする。

【 0 0 0 7 】

上記の構成によれば、基準遅延量発生回路と小遅延量発生回路のそれぞれに、電子内視鏡から得られる遅延量制御データを与えることにより、各遅延量発生回路で発生した二つの遅延量が指定・選択され、この二つを加算した量が遅延量として設定される。このような 2 個の発生回路の組合せ及び協働により、シンプルな構成で細かな遅延量の設定が可能となる。

【 0 0 0 8 】

【発明の実施の形態】

図 1 乃至図 3 には、実施形態例に係る電子内視鏡装置の構成が示されており、図 1 に示されるように、電子内視鏡（電子スコープ）10 がプロセッサ装置（この装置には光源装置を含む場合もある）12 に接続できるように構成される。この電子スコープ 10 には、先端部に CCD（Charge Coupled Device）14 が配置されると共に、この CCD 14 からビデオ信号を読み出すための CCD ドライブ回路 15 が設けられる。

【 0 0 0 9 】

また、電子スコープ 10 には、プロセッサ装置 12 に接続してビデオ信号の読出し及び画像処理をするための各種情報を記憶させる ROM（読出し専用メモリ、例えば EEPROM）16 が設けられており、この ROM 16 内に当該電子スコープ 10 の長さに対応した遅延量の制御データが格納される。当該例では、後述する遅延量発生回路（24，26）でのそれぞれの遅延量を直接指定するビットデータを記憶している。

【 0 0 1 0 】

一方、プロセッサ装置 12 側では、上記 ROM 16 内のデータを読み出しかつ装置内の回路を統括制御するマイコン 18 が設けられると共に、上記 CCD ドライブ回路 15 へ供給するタイミング信号及び所定の遅延量を与えたタイミング信

号（ドライブクロック信号）等を発生させるタイミング信号発生部 20 や上記 C D 1 4 から入力したビデオ信号の画像処理をする信号処理回路 21 等が設けられる。

【0011】

上記タイミング信号発生部 20 内には、ベースクロック信号とドライブクロック信号を発生させるタイミングジェネレータ (TG) 23、このベースクロック信号及びドライブクロック信号から大まかな遅延量を与えられたドライブクロック信号を形成する基準遅延量発生回路 24、この発生回路 24 で得られた信号を上記マイコン 18 からの制御データにより選択するマルチプレクサ 25 が設けられる。

【0012】

図 2 には、上記マルチプレクサ 25 の内部構成が示されており、このマルチプレクサ 25 は例えば遅延量を 2 ビットの制御データ（選択数に応じてビット数は多くなる）で選択する論理演算回路 25 f、アンド回路 25 a, 25 d, 25 b, 25 c、オア回路 25 g からなる。即ち、上記基準遅延量発生回路 24 で例えば大まかな遅延量を持つ S_A , S_D , S_B , S_C の 4 つのドライブクロック信号が形成され、上記マイコン 18 から論理演算回路 25 f へ 2 ビットの遅延量指定の制御データ D_1 が与えられるとすると、それに応じて出力 Q_1 , Q_2 , Q_3 , Q_4 の何れかが High となる。例えば、出力 Q_1 が High となれば、アンド回路 25 a、オア回路 25 g を介して基準遅延量信号（ドライブクロック信号） S_A が出力され、出力 Q_2 が High となれば、アンド回路 25 d、オア回路 25 g を介して基準遅延信号 S_D が出力される。

【0013】

また、図 1 に示した上記マルチプレクサ 25 の後段には、小遅延量発生回路 26 及びマルチプレクサ 27 が設けられており、これらの回路の詳細が図 3 に示される。図 3 において、小遅延量発生回路 26 には CMOS トランジスタ等からなる例えば 6 個のゲート遅延素子 26 a, 26 b, 26 c, 26 d, 26 e, 26 f が設けられ、これらのゲート遅延素子 26 a ~ 26 f のそれぞれの出力がマルチプレクサ 27 の入力ポート 1 ~ 6 に接続される。

【0014】

このゲート遅延素子 26 a ~ 26 f は、トランジスタ素子内を通過する時間（最小でナノ単位）だけ信号を遅らせる役目をし、これによって上記の基準遅延量よりも短い遅延量を設定することになり、ここでは遅延量の異なる 6 つのドライバクロック信号を出力することができる。なお、このゲート遅延素子 26 a ~ 26 f の数は、使用するトランジスタ素子の遅延量及び上記基準遅延量との関係で任意に設定されるもので、当該例では説明を簡単にするために少なくし設定している。

【0015】

また、上記マルチプレクサ 27 の内部構成は基本的に図 2 と同様となり、マイコン 18 から供給される例えば 3 ビットの遅延量制御データ（選択数に応じてビット数は多くなる） D_2 をポート H_1 , H_2 , H_3 から入力し、この制御データ D_2 で小遅延量が与えられた 6 つのドライバクロック信号を選択することになる。

【0016】

実施形態例は以上の構成からなり、その作用を図 4 に基づいて説明する。図 4 (A) , (B) には、図 1 のタイミングジェネレータ 23 から出力されるベースクロック、ドライバクロックが示されており、当該例のドライバクロックの周期はベースクロックの周期 t_B の 2 倍 ($2 t_B$) に設定されており、上記基準遅延量発生回路 24 では、図 4 (C) ~ (F) に示されるように、論理演算等によって上記ベースクロック周期 t_B の $1/2$ ($t_B/2$) 毎にずれた基準遅延量を持つドライバクロック信号 S_A , S_D , S_B , S_C が形成される。

【0017】

一方、小遅延量発生回路 26 では、ゲート遅延素子 26 a ~ 26 f によって一つの素子内を通過する小遅延量 t_s のずれがある 6 つのドライバクロック信号が形成される。例えば、基準遅延量発生回路 24 で得られた図 4 (F) の信号 S_C を選択した場合は、図 3 のマルチプレクサ 27 の入力ポート 1 ~ 6 を選択することにより、図 4 (G) ~ (L) に示されるように、小遅延量 t_s だけ順にずれたドライバクロック信号 S_{C1} , S_{C2} , S_{C3} , S_{C4} , S_{C5} , S_{C6} が形成されることに

なる。なお、他の基準遅延量信号 S_A , S_B , S_D についても同様にして 6 個の信号が形成される。

【 0 0 1 8 】

このようなタイミング信号発生回路 2 0 を有するプロセッサ装置 1 2 に、電子スコープ 1 0 が接続されると、マイコン 1 8 は ROM 1 6 から遅延量に関する制御データ（直接指定のデータ） D_1 , D_2 を取得し、上記基準遅延量発生回路 2 4 に対して 2 ビットの制御データ D_1 を供給することにより、上記基準遅延量信号 S_A , S_B , S_C , S_D の何れかが得られる。また、上記小遅延量発生回路 2 6 に対して 3 ビットの制御データ D_2 を供給することにより、上記基準遅延量よりも細かく設定された遅延信号が得られ、例えば上記信号 S_C を選択する制御データ D_1 と入力ポート 3（マルチプレクサ 2 7）を選択する制御データ D_2 が入力されている場合は、図 4（I）のドライブクロック信号が遅延信号として出力される。

【 0 0 1 9 】

なお、図 3 のマルチプレクサ 2 7 のポート 0 を選択した場合は、上記基準遅延量信号 S_A , S_B , S_C , S_D の何れかが遅延信号として出力される。そして、この遅延ドライブクロック信号は、信号処理回路 2 1 へ供給されることによって、個々の電子スコープ 1 0 の長さを考慮した画像処理が良好に実施される。このようにして、実施形態例では、大まかな遅延量を発生させる回路と短い遅延量を発生させる回路を組合せることで、シンプルな構成により遅延量を細かく設定できるという利点がある。

【 0 0 2 0 】

また、当該実施形態例では、電子スコープ 1 0 の ROM 1 6 内に記憶させたスコープ遅延量の直接指定データを読み出す構成としたが、スコープ ID データのみが書き込まれている場合等において、マイコン 1 8 が ID データから遅延量を判定し、これによって所定遅延量の信号を形成するようにしてもよい。

更に、上記の基準遅延量発生回路 2 4 と小遅延量発生回路 2 6 は、前後を逆に配置しても上記と同様に遅延信号を形成することができる。

【 0 0 2 1 】

【発明の効果】

以上説明したように、本発明によれば、所定の大まかな基準遅延量の信号を発生する基準遅延量発生回路と、複数のゲート遅延素子等を利用し上記基準遅延量よりも短い遅延量の信号を発生する小遅延量発生回路とを設け、これら遅延量発生回路の協働により電子内視鏡の長さに応じた遅延信号を形成したので、電子スコープの長さに対応した細かな遅延量の設定がシンプルな構成で可能となるという利点がある。

【図面の簡単な説明】

【図 1】

本発明の実施形態例に係る電子内視鏡装置の構成を示すブロック図である。

【図 2】

実施形態例のマルチプレクサ内の構成を示す回路図である。

【図 3】

実施形態例の小遅延量発生回路及びマルチプレクサの構成を示す回路図である。

【図 4】

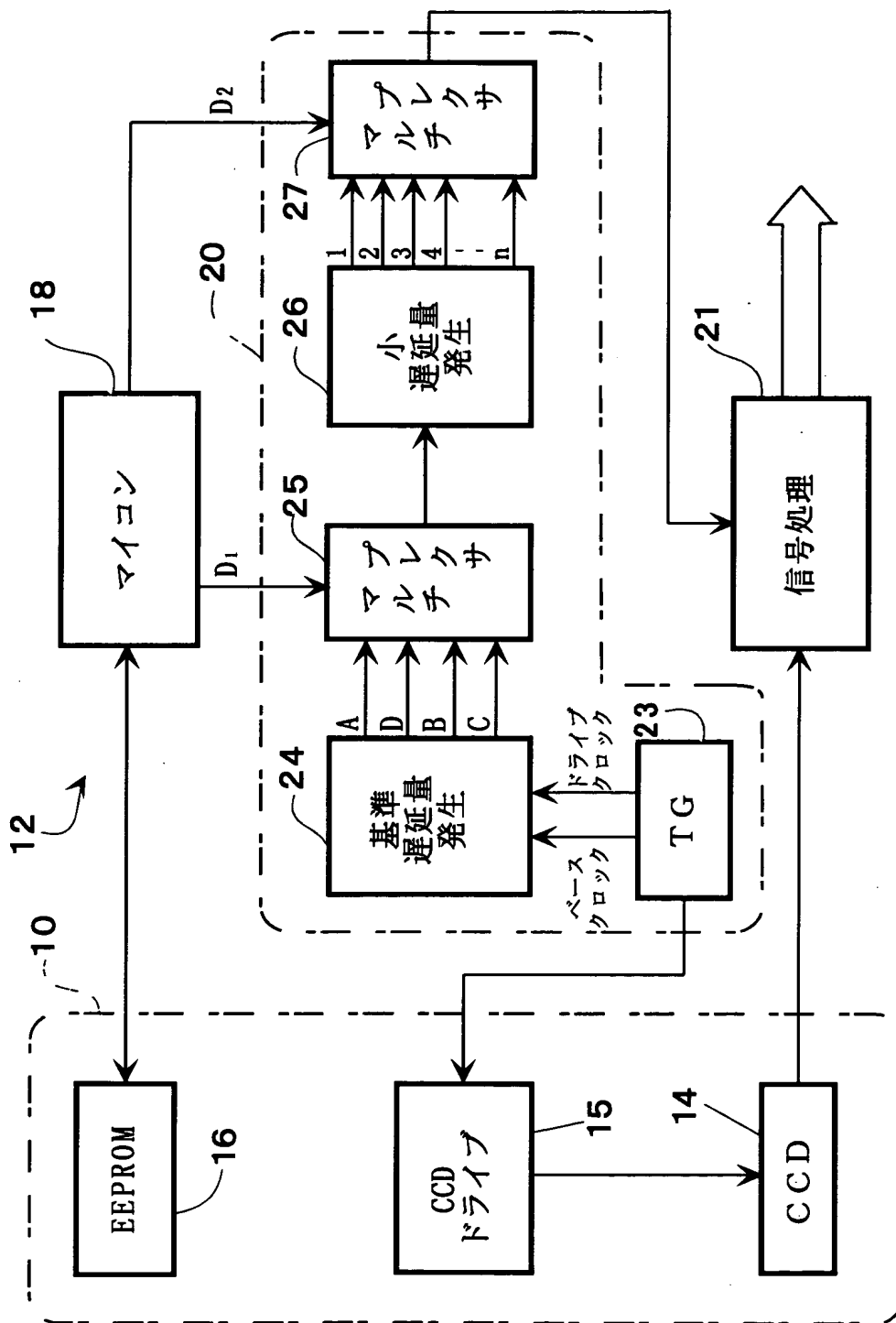
実施形態例の動作を示す信号波形図である。

【符号の説明】

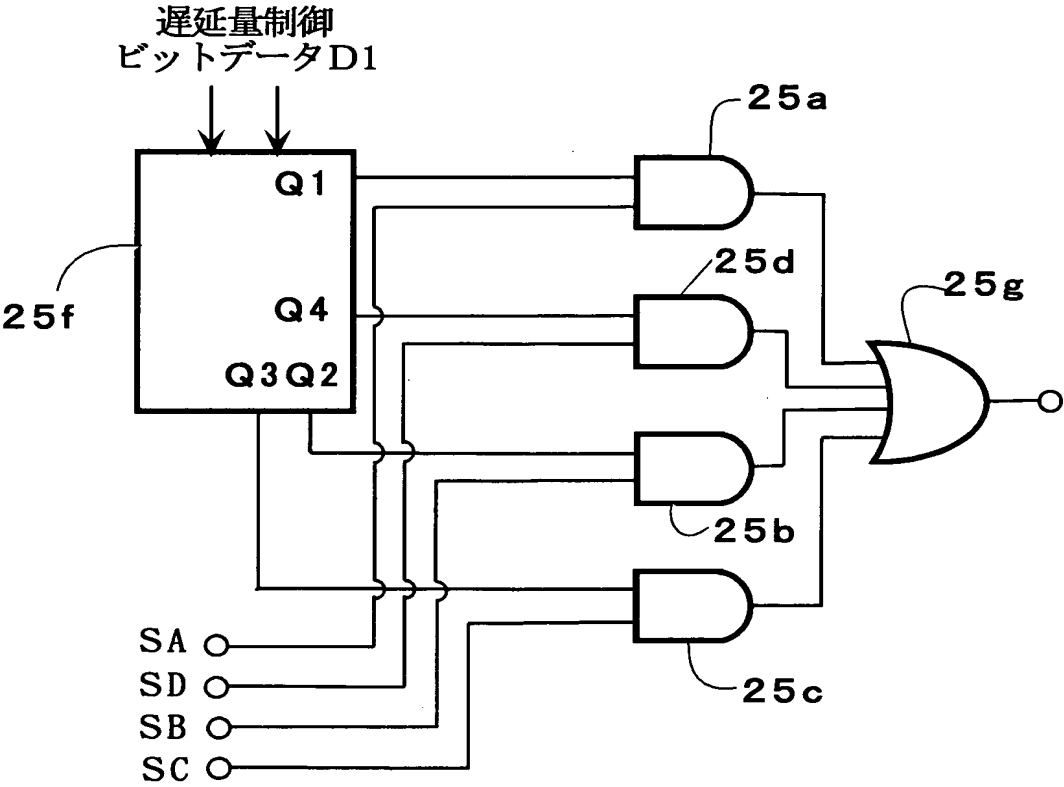
- 1 0 … 電子スコープ、
- 1 2 … プロセッサ装置、
- 1 4 … CCD、 1 8 … マイコン、
- 2 0 … 信号発生回路、
- 2 4 … 基準遅延量発生回路、
- 2 5, 2 7 … マルチプレクサ、
- 2 6 … 小遅延量発生回路、
- 2 6 a ~ 2 6 f … ゲート遅延素子。

【書類名】 図面

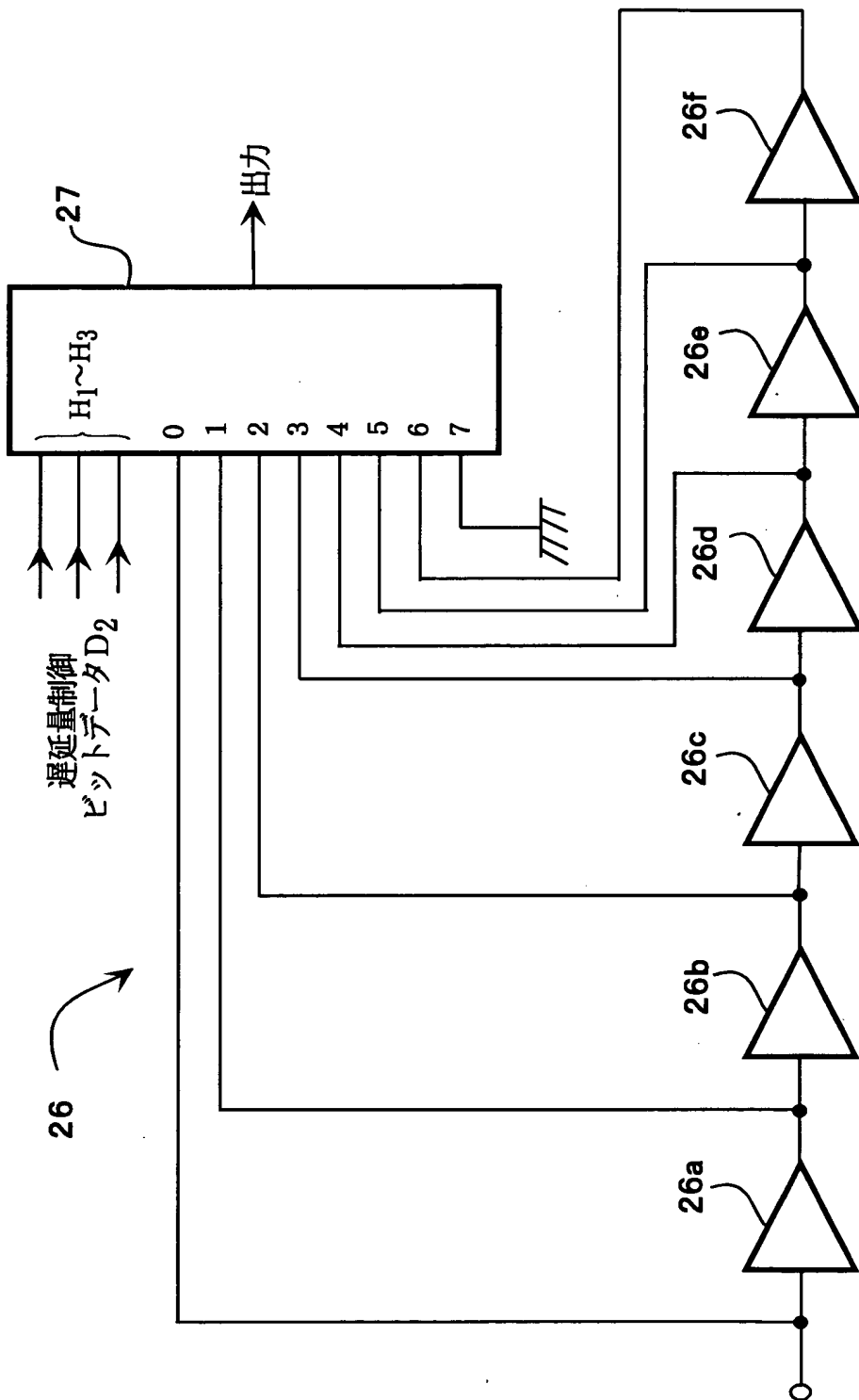
【図 1】



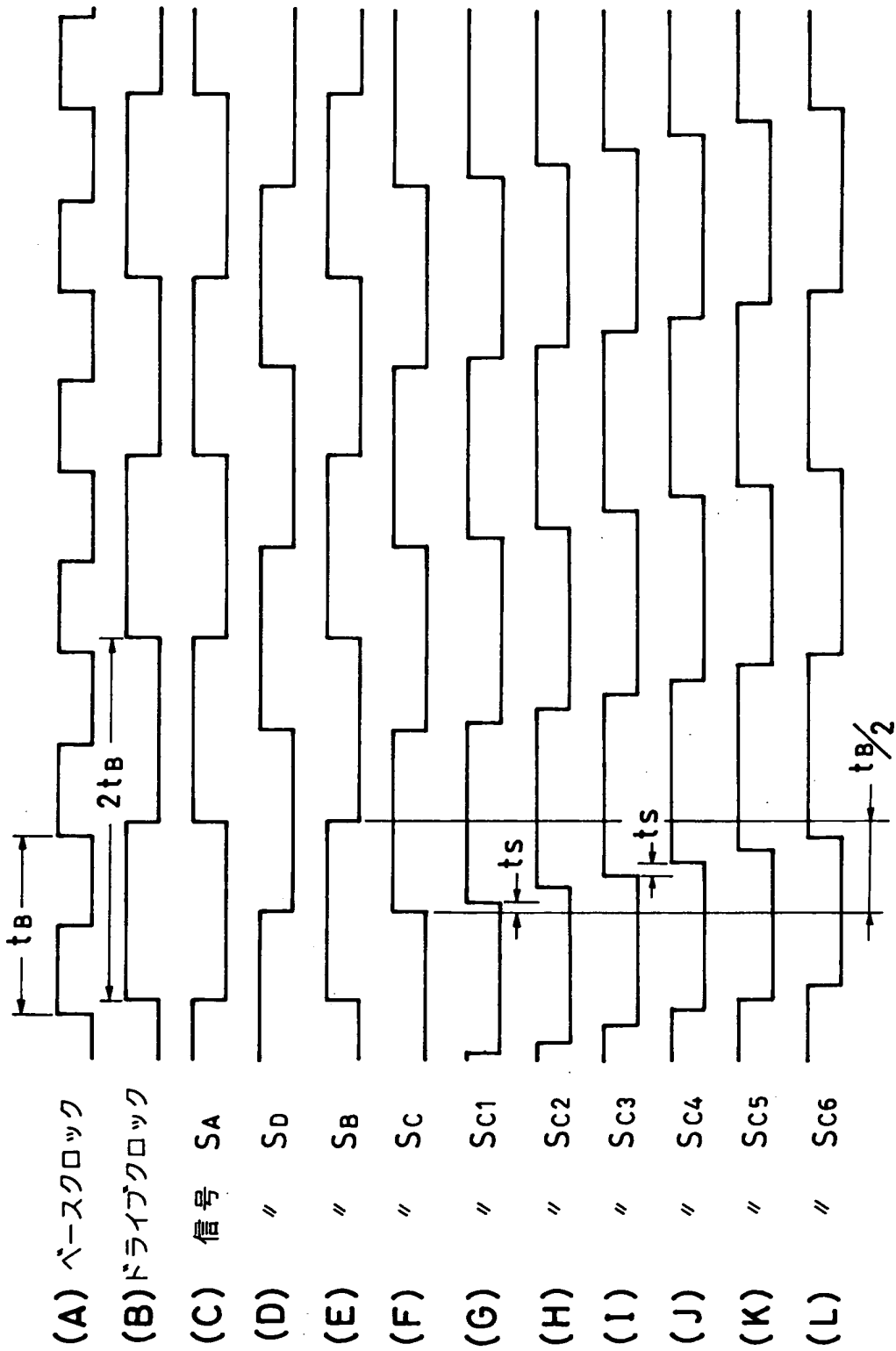
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 電子スコープの長さに対応した細かな遅延量が設定でき、また構成の簡略化が可能となるようにする。

【解決手段】 異なる長さを持つ電子内視鏡 1 0 をプロセッサ装置 1 2 に接続する電子内視鏡装置において、大まかな基準遅延量の信号を発生する基準遅延量発生回路 2 4 と、ゲート遅延素子等を用いて上記基準遅延量よりも短い遅延量の信号を発生する小遅延量発生回路 2 6 とを備える。上記プロセッサ装置 1 2 内のマイコン 1 8 は、電子スコープ 1 0 内の ROM 1 6 から遅延量指定制御データ D_1 , D_2 を読み出し、この制御データ D_1 , D_2 に基づいて、上記の二つの遅延量発生回路 2 4 , 2 6 により遅延ドライブクロックを形成し、この遅延信号に基づいて画像処理を実行する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005430]

1. 変更年月日	1990年 8月14日
[変更理由]	新規登録
住 所	埼玉県大宮市植竹町1丁目324番地
氏 名	富士写真光機株式会社